

(12) NACH DEM VERTRAG ÜBER DIE INTERNATIONALE ZUSAMMENARBEIT AUF DEM GEBIET DES PATENTWESENS (PCT) VERÖFFENTLICHTE INTERNATIONALE ANMELDUNG

(19) Weltorganisation für geistiges Eigentum
Internationales Büro



(43) Internationales Veröffentlichungsdatum
12. September 2002 (12.09.2002)

PCT

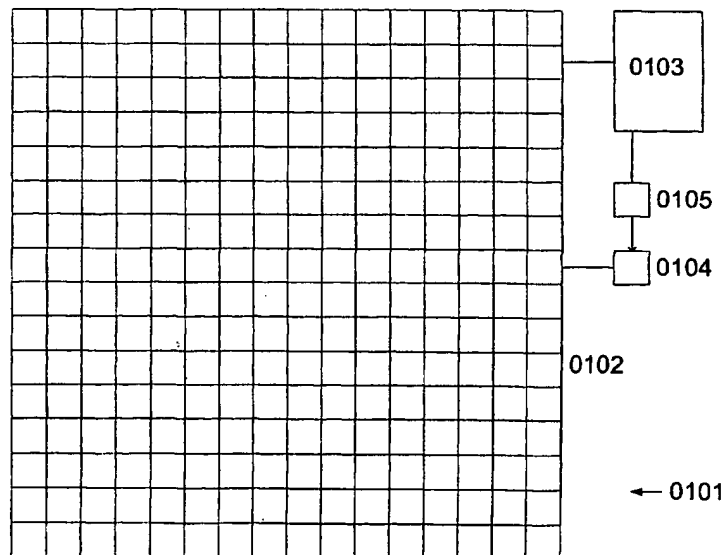
(10) Internationale Veröffentlichungsnummer
WO 02/071196 A2

(51) Internationale Patentklassifikation ⁷ :	G06F 1/32	101 39 170.6	16. August 2001 (16.08.2001)	DE
		101 42 231.8	29. August 2001 (29.08.2001)	DE
(21) Internationales Aktenzeichen:	PCT/EP02/02402	101 42 894.4	3. September 2001 (03.09.2001)	DE
		101 42 903.7	3. September 2001 (03.09.2001)	DE
(22) Internationales Anmeldedatum:		101 42 904.5	3. September 2001 (03.09.2001)	DE
	5. März 2002 (05.03.2002)	60/317,876	7. September 2001 (07.09.2001)	US
(25) Einreichungssprache:	Deutsch	101 44 732.9	11. September 2001 (11.09.2001)	DE
		101 44 733.7	11. September 2001 (11.09.2001)	DE
(26) Veröffentlichungssprache:	Deutsch	101 45 792.8	17. September 2001 (17.09.2001)	DE
		101 45 795.2	17. September 2001 (17.09.2001)	DE
(30) Angaben zur Priorität:		101 46 132.1	19. September 2001 (19.09.2001)	DE
	101 10 530.4	5. März 2001 (05.03.2001)	09/967,847	28. September 2001 (28.09.2001)
	101 11 014.6	7. März 2001 (07.03.2001)	PCT/EP01/11299	
	PCT/EP01/06703	13. Juni 2001 (13.06.2001)		30. September 2001 (30.09.2001)
	101 29 237.6	20. Juni 2001 (20.06.2001)	PCT/EP01/11593	8. Oktober 2001 (08.10.2001)
	01115021.6	20. Juni 2001 (20.06.2001)	101 54 260.7	5. November 2001 (05.11.2001)
	101 35 210.7	24. Juli 2001 (24.07.2001)	101 54 259.3	5. November 2001 (05.11.2001)
	101 35 211.5	24. Juli 2001 (24.07.2001)	01129923.7	14. Dezember 2001 (14.12.2001)
	PCT/EP01/08534	24. Juli 2001 (24.07.2001)	02001331.4	18. Januar 2002 (18.01.2002)

[Fortsetzung auf der nächsten Seite]

(54) Title: METHODS AND DEVICES FOR TREATING AND PROCESSING DATA

(54) Bezeichnung: VERFAHREN UND VORRICHTUNG ZU DATENBE- UND/ODER VERARBEITUNG



(57) Abstract: The invention relates to a data processing unit (VPU) comprising logic cells (PAEs) clocked in operational fields in different configuration states and a clocking input means for setting the clocking of the logic cell. According to the invention, the clocking input means is configured in such a way that it can provide one type of clocking to at least one first cell (PAE) in a state-dependent manner, and provide another type of clocking to at least one other cell.

[Fortsetzung auf der nächsten Seite]

WO 02/071196 A2



102 02 044.2 19. Januar 2002 (19.01.2002) DE
 102 02 175.9 20. Januar 2002 (20.01.2002) DE
 102 06 653.1 15. Februar 2002 (15.02.2002) DE
 102 06 857.7 18. Februar 2002 (18.02.2002) DE
 102 06 856.9 18. Februar 2002 (18.02.2002) DE
 102 07 226.4 21. Februar 2002 (21.02.2002) DE
 102 07 224.8 21. Februar 2002 (21.02.2002) DE
 102 07 225.6 21. Februar 2002 (21.02.2002) DE
 102 08 435.1 27. Februar 2002 (27.02.2002) DE
 102 08 434.3 27. Februar 2002 (27.02.2002) DE

(71) **Anmelder** (für alle Bestimmungsstaaten mit Ausnahme von US): **PACT INFORMATIONSTECHNOLOGIE GMBH** [DE/DE]; Muthmannstrasse 1, 80939 München (DE).

(72) **Erfinder; und**

(75) **Erfinder/Anmelder** (nur für US): **VORBACH, Martin** [DE/DE]; Gotthardstrasse 117a, 80689 München (DE). **BAUMGARTE, Volker** [DE/DE]; Barbarossaplatz 14, 81677 München (DE).

(74) **Anwalt:** **PIETRUK, Claus, Peter**; Heinrich-Lilienfein-Weg 5, 76229 Karlsruhe (DE).

(81) **Bestimmungsstaaten (national):** AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DE (Gebrauchsmuster), DK, DM, DZ, EC, EE, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, JP, KE, KG, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NO, NZ, OM, PH, PL, PT, RO, RU, SD, SE, SG, SI, SK, SL, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VN, YU, ZA, ZM, ZW.

(84) **Bestimmungsstaaten (regional):** ARIPO-Patent (GH, GM, KE, LS, MW, MZ, SD, SL, SZ, TZ, UG, ZM, ZW), eurasisches Patent (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), europäisches Patent (AT, BE, CH, CY, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE, TR), OAPI-Patent (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

Veröffentlicht:

— ohne internationalen Recherchenbericht und erneut zu veröffentlichen nach Erhalt des Berichts

Zur Erklärung der Zweibuchstaben-Codes und der anderen Abkürzungen wird auf die Erklärungen ("Guidance Notes on Codes and Abbreviations") am Anfang jeder regulären Ausgabe der PCT-Gazette verwiesen.

(57) **Zusammenfassung:** Die Erfindung betrifft eine Datenverarbeitungseinheit (VPU) mit einem in unterschiedlichen Konfigurationen betreibbaren Feld getakteter Logikzellen (PAEs) und einem Taktvorgabemittel zur Vorgabe einer Logikzellentaktung. Hierbei ist vorgesehen, dass das Taktvorgabemittel dazu ausgebildet ist, zustandsabhängig an zumindest einer ersten Zelle (PAE) einen ersten und an zumindest einer weiteren Zelle einen weiteren Takt vorzugeben.

Titel: Verfahren und Vorrichtungen zur Datenbe- und/oder
Verarbeitung

Beschreibung

Die vorliegende Erfindung betrifft das oberbegrifflich Beanspruchte und befasst sich somit mit der Frage, wie bei der Datenverarbeitung eine Optimierung der verwendeten Hardware erreicht werden kann.

Bei der Datenverarbeitung ist es erforderlich, sowohl die verfügbaren Ressourcen zu optimieren, als auch den Energieverbrauch der mit der Datenverarbeitung befassten Schaltungen. Dies gilt insbesondere bei rekonfigurierbaren Prozessoren.

Unter einer rekonfigurierbaren Architektur werden vorliegend Bausteine (VPU) mit konfigurierbarer Funktion und/oder Vernetzung verstanden, insbesondere integrierte Bausteine mit einer Mehrzahl von ein- oder mehrdimensional angeordneten arithmetischen und/oder logischen und/oder analogen und/oder speichernden und/oder intern/extern vernetzenden Baugruppen, die direkt oder durch ein Bussystem miteinander verbunden sind.

Zur Gattung dieser Bausteine zählen insbesondere systolische Arrays, neuronale Netze, Mehrprozessor Systeme, Prozessoren mit mehreren Rechenwerken und/oder logischen Zellen und/oder kommunikativen/peripheren Zellen (IO), Vernetzungs- und Netzwerkbausteine wie z.B. Crossbar-Schalter, ebenso wie bekannte

Bausteine der Gattung FPGA, DPGA, Chameleon, XPUTER, etc..
Hingewiesen wird insbesondere in diesem Zusammenhang auf die
folgenden Schutzrechte und Anmeldungen desselben Anmelders: P
44 16 881.0-53, DE 197 81 412.3, DE 197 81 483.2,
5 DE 196 54 846.2-53, DE 196 54 593.5-53, DE 197 04 044.6-53,
DE 198 80 129.7, DE 198 61 088.2-53, DE 199 80 312.9,
PCT/DE 00/01869, DE 100 36 627.9-33, DE 100 28 397.7,
DE 101 10 530.4, DE 101 11 014.6, PCT/EP 00/10516,
EP 01 102 674.7, PCT/DE 97/02949 (PACT02/PCT), PCT/DE
10 97/02998 (PACT04/PCT), PCT/DE 97/02999 (PACT05/PCT), PCT/DE
98/00334 (PACT08/PCT), PCT/DE 99/00504 (PACT10b/PCT), PCT/DE
99/00505 (PACT10c/PCT), DE 101 39 170.6 (PACT11), DE 101 42
903.7 (PACT11a), DE 101 44 732.9 (PACT11b), DE 101 45 792.8
(PACT11c), DE 101 54 260.7 (PACT11d), DE 102 07 225.6
15 (PACT11e), PCT/DE 00/01869 (PACT13/PCT), DE 101 42 904.5
(PACT21), DE 101 44 733.7 (PACT21a), DE 101 54 259.3
(PACT21b), DE 102 07 226.4 (PACT21c), PCT/DE 00/01869
(PACT13/PCT), DE 101 10 530.4 (PACT18), DE 101 11 014.6
(PACT18a), DE 101 46 132.1 (PACT18II), DE 102 02 044.2
20 (PACT19), DE 102 02 175.9 (PACT19a), DE 101 35 210.7
(PACT25), DE 101 35 211.5 (PACT25a), DE 101 42 231.8
(PACT25aII), (PACT25b). Diese sind hiermit zu Offenbarungs-
zwecken vollumfänglich eingegliedert.

25 Die o.g. Architektur wird beispielhaft zur Verdeutlichung
herangezogen und im folgenden VPU genannt. Die Architektur
besteht aus beliebigen arithmetischen, logischen (auch Spei-
cher) und/oder Speicherzellen und/oder Vernetzungszellen
und/oder kommunikativen/peripheren (IO) Zellen (PAEs), die zu
30 einer ein- oder mehrdimensionalen Matrix (PA) angeordnet sein
können, wobei die Matrix unterschiedliche beliebig ausgestal-
tete Zellen aufweisen kann, auch die Bussysteme werden dabei

als Zellen verstanden. Der Matrix als ganzes oder Teilen davon zugeordnet ist eine Konfigurationseinheit (CT), die die Vernetzung und Funktion des PA durch Konfigurations bestimmt. Die Konfiguration einer VPU wird durch das Schreiben von Konfigurationsworten in Konfigurationsregister bestimmt. Jedes Konfigurationswort bestimmt eine Teilfunktion. PAEs können mehrere Konfigurationsworte für ihre Konfiguration benötigen, beispielsweise eines/oder mehrere für die Vernetzung der PAE, eines/oder mehrere für die Taktbestimmung und eines/oder mehrere zur Auswahl einer ALU-Funktion, etc.

Es ist bekannt, dass ein Prozessor, der mit höherer Taktfrequenz betrieben wird, mehr Leistung erfordert. Bei modernen Prozessoren steigen daher die Anforderungen an die Kühlung mit zunehmender Taktfrequenz stark an. Überdies muss ein Mehr an Leistungsversorgung bereit gestellt werden, was insbesondere bei mobilen Anwendungen kritisch ist.

Es ist bereits bekannt, zustandsabhängig die Taktfrequenz für einen Microprozessor zu bestimmen. Derartige Techniken sind aus dem Bereich mobiler Computer bekannt. Dabei ergeben sich jedoch Probleme in der Gesamtgeschwindigkeit, mit der bestimmte Anwendungen ausgeführt werden.

Aufgabe der Erfindung ist es Neues für die gewerbliche Anwendung bereitzustellen.

Die Lösung dieser Aufgabe wird unabhängig beansprucht.

Die vorliegende Erfindung gibt somit an, wie der Stromverbrauch bei einer VPU-Technologie verringert und/oder optimiert werden kann. Es sei darauf hingewiesen, dass, soweit im

Nachfolgenden unterschiedliche Verfahren hierzu angesprochen werden, diese einzeln oder in Kombination Vorteile bringen.

Gemäß einem ersten wesentlichen Aspekt der Erfindung wird also bei einer Datenverarbeitungseinheit (VPU) mit einem in unterschiedlichen Konfigurationszuständen betreibbaren Feld getakteter Logikzellen (PAEs) und einem Taktvorgabemittel zur Vorgabe einer Logikzellentaktung das Taktvorgabemittel dazu ausgebildet, zustandsabhängig an zumindest einer ersten Zelle (PAE) einen ersten und an zumindest einer weiteren Zelle (PAE) einen weiteren Takt vorzugeben.

Es wird also vorgeschlagen, unterschiedliche Zellen mit unterschiedlicher Taktung zu betreiben. Der weitere Takt wird in der Regel auf den ersten bezogen sein, also in definierter Phasenlage zu diesem stehen. Dazu wird, um optimale Datenverarbeitungsergebnisse, insbesondere sowohl im Hinblick auf die benötigte Datenverarbeitungszeit als auch den Energieverbrauch der gesamten Datenverarbeitungseinheit zu erzielen, vorgeschlagen, dass die Taktung zustandsabhängig erfolgt, dass also nicht etwa abhängig von einem jeweiligen Zustand allen Zellen gemeinsam ein Takt vorgegeben wird, sondern jeder Zelle abhängig vom Zustand ein geeigneter Takt zugeordnet wird.

Weiterhin wird vorgeschlagen die Taktung global konfigurierbar zu gestalten, derart dass eine Einstellung (Konfiguration) die Taktung der Gesamtzahl von Zellen gemeinsam beeinflusst.

Es ist möglich und gewünscht, wenn das Taktvorgabemittel dazu ausgebildet ist, den Solltakt für wenigstens eine erste Zelle

von einer Konfigurationszustände vorgebenden Einheit zu empfangen. Dies ermöglicht es, die Taktung der Zelle abhängig von ihrer Konfigurierung bereits dann zu wählen, wenn diese Konfigurierung festgelegt wird. Dies hat den Vorteil, dass
5 problemfrei eine Konfigurierung erfolgen kann.

Bei der Konfigurationszustände vorgebenden Einheit kann es sich einerseits um eine Compilereinheit handeln, das heißt, es wird bereits beim Compilieren des Programmes die erforderliche oder gewünschte Taktung der Zelle festgelegt. Wenn die
10 Compilereinheit die Konfigurationszustände vorgibt, kann die Zellkonfigurationsvorgabeeinheit die Taktung zur Zellkonfiguration an eine zu konfigurierende Zelle übermitteln. Dies ist vorteilhaft, weil es möglich ist, dann lediglich das Konfigurationswort beziehungsweise den Konfigurationsbefehl, mit dem
15 die Konfiguration einer Zelle festgelegt wird, um eine taktbestimmende Angabe zu erweitern, ohne dass weitere Maßnahmen erforderlich sind, wie beispielsweise die Implementierung von taktvergebenden Bussen, auf denen die taktfestlegenden Signale
20 separat übermittelt werden oder dergleichen; dass dies aber prinzipiell möglich ist, sei erwähnt.

Es kann auch vorgesehen werden, dass das Taktvorgabemittel dazu ausgebildet ist, den Solltakt beziehungsweise ein taktbeeinflussendes Signal von einer der weiteren Logikzellen,
25 insbesondere einer konfigurierbaren Logikzelle zu empfangen. Dies ist insbesondere dann vorteilhaft, wenn in einer ersten Logikzelle auf ein Eingangssignal einer externen Einheit gewartet wird und erst bei Eintreffen derartiger Signale die
30 nachfolgend eintreffenden Signale verarbeitenden Zellen aktiviert werden sollen. Es kann so ein Logikfeldschlafmodus implementiert werden, bei dem nur eine oder eine Vielzahl von

Zellen auf einem - gegebenenfalls sehr geringen Niveau, d.h. bereits sehr langsamer Taktung - aktiviert sind und das verbleibende Feld extrem langsam getaktet wird. Die dann erforderlichen Taktfrequenzen im Restfeld sind abhängig von den
5 physikalisch nötigen Taktungen, die zum Erhalt von Speichereinhalten oder dergleichen erforderlich sind.

Es ist auch dann vorteilhaft, ein taktbeeinflussendes Signal von einer anderen Logikzelle zu empfangen, wenn mit einer Logikzelle eine oder eine Reihe einer Vielzahl unterschiedlicher arithmetischer und/oder logischer Operationen ausgeführt werden kann, die zumindest zum Teil eine unterschiedliche Anzahl von Taktzyklen erfordern, ohne dass dies vorher von der Compilereinheit vollständig festgelegt werden kann. Auch in
10 einem solchen Fall brauchen die nachfolgenden Zellen nicht zwingend mit hoher Taktfrequenz betrieben werden, wenn sie durch entsprechende, den Zustand der in einer Verarbeitungssequenz mitwirkenden Zelle anzeigenden Signale entsprechend herunter getaktet werden.
15

20

In einer bevorzugten Variante umfasst das Taktvorgabemittel eine Zentraltaktvorgabeeinheit, beispielsweise einen zentralen Taktgenerator, dessen Takt über eine Taktleitung an die einzelnen Zellen übertragen wird, sowie eine Lokaltaktgeneriereinheit zur Generierung eines Lokaltaktes aus und/oder im
25 Ansprechen auf den über die Taktleitung übertragenen zentralen Takt. In einer möglichen Ausgestaltung kann die Taktung der Zentraltaktvorgabeeinheit durch eine Konfiguration beeinflusst bzw. eingestellt werden. Es ist bevorzugt, wenn die Lokaltaktgeneriereinheit durch einen Frequenzteiler und/oder
30 Frequenzvervielfacher realisiert ist und das Frequenzteiler-

verhältnis bestimmt wird durch die Vorgaben des Taktvorgabemittels gemäß der zustandsabhängigen Taktfestlegung.

In einer bevorzugten Variante umfassen die Logikzellen oder
5 zumindest einige der Logikzellen wenigstens eine ALU und/oder
sind durch eine solche gebildet. Es ist möglich und bevorzugt,
wenn einige der Logikzellen wenigstens eine Speicher-
und/oder Registereinheit enthalten, die den restlichen Logikzellen
zugeordnet werden kann. Insbesondere kann diese für
10 zu verarbeitende Daten und/oder Konfigurationen der Zelle
vorgesehen sein.

Es ist möglich, dass eine Vielzahl von Logikzellen identisch
sind und diese mit unterschiedlicher Taktung entsprechend ihrer
15 jeweiligen Konfiguration betrieben werden. Insbesondere
ist es möglich, dass alle Logikzellen identisch sind.

Schutz wird auch beansprucht für ein Verfahren zum Betreiben
eines in unterschiedliche Konfigurationszustände bringbaren
20 Feldes getakteter Logikzellen, wobei zumindest zeitweilig für
wenigstens eine erste Zelle ein erster Zustand bestimmt wird,
abhängig vom ersten Zustand ein der ersten Zelle zuzuordnender
Takt ermittelt und die Zelle mit diesem Takt betrieben
wird, für wenigstens eine weitere Zelle ein zweiter Zustand
25 bestimmt wird, abhängig vom zweiten Zustand ein der zweiten
Zelle zuzuordnender zweiter Takt ermittelt und die zweite
Zelle mit diesem vom ersten Takt verschiedenen zweiten Takt
betrieben wird.

30 Wie vorerwähnt, kann die Taktung mit der Konfiguration zusammen
vorgegeben werden. Der Zustand ist dann der Konfigurationszustand
und/oder durch diesen wenigstens mitbestimmt.

Typisch werden bei bekannten und konfigurierbaren Logikzellen Zellen gruppenweise zur Ausführung komplexer Operationen zusammen gefasst. Wenn dabei einzelne der Zellen Teiloperationen ausführen, die in weniger Taktzyklen ablaufen, als dies bei jenen Zellen der Fall ist, die mit besonders langwierigen Teiloperationen der komplexen Gesamtoperationen, welche die Gruppe ausführt, ist es bevorzugt, wenn diese Zellen mit unterschiedlichen Taktraten betrieben werden, und zwar so, dass die Zellen für weniger komplexe Operationen, also für Operationen, die in weniger Taktzyklen ablaufen, langsamer getaktet werden als die anderen Zellen; insbesondere ist es bevorzugt, wenn die Zellen einer Gruppe insgesamt so getaktet sind, dass die Anzahl von Leerzyklen innerhalb der Gruppe minimiert ist. Eine Alternative und/oder Ergänzung hierzu besteht darin, mit weniger komplexen Aufgaben belastete Zellen temporär für bestimmte Taktzykluszahlen umzunützen, also während einer festen Anzahl von Taktzyklen anders zu nutzen.

Insbesondere kann der Fall eintreten, dass die maximale Taktrate von PAEs und/oder PAE-Gruppen durch deren Funktion und insbesondere Vernetzung begrenzt wird. Besonders mit fortschreitender Halbleitertechnologie spielt die Laufzeit von Signalen über Bussysteme eine verstärkt frequenzlimitierende Rolle. Das Verfahren erlaubt nunmehr die langsamere Taktung solcher PAEs und/oder PAE-Gruppen, während andere PAEs und/oder PAE-Gruppen mit einer anderen, gegebenenfalls höheren, Frequenz arbeiten. In einer vereinfachten Ausführung wird vorgeschlagen, die Taktrate des gesamten rekonfigurierbaren Bausteines (VPU) von der maximalen Taktrate der langsamsten PAE und/oder PAE-Gruppe abhängig zu machen. Mit anderen Worten kann die Zentraltaktvorgabeeinheit derart konfigu-

riert werden, dass der höchste gemeinsame Betriebstakt aller PAEs und/oder PAE-Gruppen (quasi der kleinste gemeinsame Nenner aller Maximaltaktraten) global für alle PAEs generiert wird.

5

Das Verfahren wie vorstehend beschrieben ist besonders dann vorteilhaft, wenn die Zellen der Gruppe Daten sequentiell verarbeiten, das heißt, das Ergebnis, welches eine Zelle bestimmt hat, an eine oder mehrere nachfolgend Daten verarbeitende Zellen weitergereicht wird.

Es sei erwähnt, dass neben der Priorisierung von Aufgaben innerhalb des Zellfeldes zur Taktvorgabe auch der Zustand einer Leistungsquelle zur Zelltaktungsbestimmung herangezogen werden kann. Insbesondere kann für mobile Anwendungen bei Abfallen einer Versorgungsspannung die Taktung insgesamt heruntergesetzt werden. Gleichfalls ist ein Heruntertakten zur Über-

15 temperaturverhinderung im Ansprechen auf ein Temperatursensorsignal oder dergleichen möglich. Die benutzervorgegebene Taktungsvorgabe ist ebenfalls möglich. Verschiedene Parameter können gemeinsam den taktungsbestimmenden Zustand festlegen.

Vorstehend wurde bereits erwähnt, dass es möglich ist, ein Zeitmultiplexing zum Ausführen mehrerer Konfigurationen auf derselben PAE vorzunehmen. Ein besonders ressourcensparendes Zeitmultiplexing zum Ausführen mehrerer Konfigurationen auf derselben PAE wird dabei durch eine bevorzugte und erweiterte Ausgestaltung möglich, die auch unabhängig von der unterschiedlichen Taktung einzelner Zellen Vorteile aufweisen

25 kann, etwa dann, wenn Latenzzeiten zu beachten sind, wie sie sich bei der Signalübertragung digitaler Daten, seien es Konfigurationsdaten, zu bearbeitende Daten oder dergleichen über

einen Bus ergeben. Diese Probleme werden besonders gravierend, wenn rekonfigurierbare Bausteine mit zum Teil vergleichsweise weit voneinander entfernten rekonfigurierbaren Einheiten mit hohen Taktfrequenzen betrieben werden sollen. 5 Dabei entsteht nämlich das Problem, dass durch den besonderen Aufbau von VPU's eine Vielzahl von beliebigen PAEs über Busse verbunden sind und ein nicht unwesentlicher Datenübertragungsaufwand über die Busse besteht. In modernen und v.a. zukünftigen Siliziumtechnologien wird die Schaltfrequenz von 10 Transistoren weiter ansteigen, während die Signalübertragung über Busse verstärkt zu einem performanceeinschränkenden Faktor wird. Vorgeschlagen wird daher, die Datenrate bzw. Frequenz auf den Bussen gegenüber der Arbeitsfrequenz der datenverarbeitenden PAEs zu entkoppeln.

15

Eine besonders einfache und für einfache Implementierungen bevorzugte Ausgestaltung arbeitet dann derart, dass die Taktrate einer VPU nur global einstellbar ist. Mit anderen Worten kann ein einstellbarer Takt für sämtliche PAEs vorgegeben 20 werden bzw. von einer übergeordneten Konfigurationseinheit (CT) konfiguriert werden. Sämtliche Parameter, die einen Einfluß auf die Taktung haben, bestimmen diesen einen globalen Takt. Beispielsweise können solche Parameter eine Temperaturbestimmung, eine Energiereservemessung von Batterien, etc. 25 sein.

Insbesondere kann ein bestimmender Parameter die maximale Ausführungsfrequenz der langsamsten Konfiguration sein, die sich abhängig von einer PAE-Konfiguration beziehungsweise einer Konfiguration einer Gruppe von PAEs ergibt. Es wurde er- 30 kannt, dass insbesondere im Bussignaltransfer begrenzten Anwendungen Konfigurationen unterschiedliche Maximalfrequenzen

aufweisen können; weil unterschiedliche Konfigurationen unterschiedlich viele PAEs über unterschiedlich lange Strecken von Busverbindungen umfassen können. Konfigurationen können unterschiedliche Maximalfrequenzen aufweisen, wie z.B. von
5 FPGAs bekannt, die von der jeweiligen Funktion der PAEs und insbesondere von den Längen von Busverbindungen abhängen. Die langsamste Konfiguration stellt dann sicher, dass der ordentliche Betrieb auch dieser Konfiguration sichergestellt ist und verringert zugleich den Energiebedarf aller anderen Konfigurationen, was insbesondere dann vorteilhaft ist, wenn unterschiedliche Teile der Datenverarbeitung, wie sie durch die anderen Konfigurationen, die gegebenenfalls mit höheren Taktfrequenzen laufen würden, nicht vor der langsamsten Konfiguration benötigt würden. Auch in Fällen, in denen absolut
10 sicher gewährleistet sein muss, dass ordnungsgemäßer Betrieb erfolgt, ist oftmals der gegebenenfalls nur geringe Performanceverlust durch Heruntertaktung anderer Konfigurationen, die per se schneller laufen könnten, ohne weiteres hinnehmbar.

20

In einer optimierten Ausführung wird die Frequenz nur den Konfigurationen angepasst, die aktuell auf einer VPU ausgeführt werden, mit anderen Worten kann die globale Frequenz mit jeder Konfiguration neu eingestellt/konfiguriert werden.

25

In einer erweiterten Ausführung kann sodann der Takt global, als auch wie bereits beschrieben für jedes konfigurierbare Element einzeln konfiguriert werden.

30 Es sei erwähnt, dass verschiedene Varianten einzeln oder in Kombination möglich sind. Um Näheres beispielhaft zu offenbaren, wird im Folgenden, ohne dass dies zwingend der Fall sein

müsste, davon ausgegangen, dass der Takt bei jeder PAE einzeln gesteuert werden kann. Dann ergeben sich beispielsweise folgende Möglichkeiten:

5 a) Gesteuerte Takt An- und Abschaltung

Bevorzugt ist der Verarbeitungstakt von PAEs abgeschaltet, das heißt die PAEs arbeiten nur im Bedarfsfall, wobei die Taktfreischaltung, also das Aktivschalten der PAE beispielsweise unter Vorliegen zumindest einer der folgenden Bedingungen
10 gen erfolgen kann, nämlich wenn gültige Daten anliegen; das Ergebnis der vorhergehenden Berechnung abgenommen wurde; aufgrund eines oder mehrerer Trigger-signale; aufgrund einer erwarteten oder gültigen Zeitmarke, vergleiche DE 101 10 530.4 (PACT18).

15 Dabei kann jede einzelne Bedingung entweder einzeln herangezogen werden, um die Taktfreischaltung zu bewirken, oder in Verknüpfung mit anderen Bedingungen, wobei anhand der logischen Verknüpfung der Bedingungen die Taktfreischaltung berechnet wird. Dass es möglich ist, während eines abgeschalteten Taktes die PAEs in einen stromsparenden Betriebsmodus zu
20 versetzen, beispielsweise mit zusätzlich teilweise abgeschalteter oder verringerter Stromversorgung, beziehungsweise, sollte es aus anderen Gründen erforderlich sein, extrem weit herabgesetzten Schlaftakten, sei erwähnt.

25

b) Unterschiedliche Frequenzen je PAE

Aus PCT/DE 97/02949 (PACT02/PCT), PCT/DE 97/02998 (PACT04/PCT), PCT/DE 00/01869 (PACT13/PCT) sind Technologien zur Steuerung von sequentiellen Abläufen in VPUs bekannt. In
30 PCT/DE 97/02998 (PACT04/PCT) werden spezielle Sequenzer aufgebaut (SWTs), die eine Menge von PAEs ansteuern und für deren (Re-)Konfiguration verantwortlich sind. Die

(Re)Konfiguration wird durch Statussignale die von den PAEs generiert werden (Trigger) und an die SWTs weitergeleitet werden gesteuert, und zwar dadurch, daß die SWT auf die Trigger reagiert und die entsprechende Fortsetzung einer Sequenz von den Triggern abhängig macht.

In PCT/DE 97/02949 (PACT02/PCT) ist den einzelnen PAEs jeweils ein kleiner Speicher für deren Konfiguration zugeordnet. Ein Sequenzer durchläuft den Speicher und adressiert die einzelnen Konfigurationen. Der Sequenzer wird durch Trigger und/oder dem Status seiner PAE (in die er beispielsweise integriert ist) gesteuert.

Während der Datenverarbeitung ist es nunmehr möglich, daß unterschiedliche Sequenzer in unterschiedlichen PAEs eine unterschiedliche Menge an Operationen pro übertragenem Datenpaket durchzuführen haben (vgl. DE 101 39 170.6 (PACT11), DE 101 42 903.7 (PACT11a), DE 101 44 732.9 (PACT11b), DE 101 45 792.8 (PACT11c), DE 101 54 260.7 (PACT11d), DE 102 07 225.6 (PACT11e), PCT/DE 00/01869 (PACT13/PCT)). Dies sei am Beispiel einer Konfiguration beschrieben, bei welcher 3 Sequenzer mit der Bearbeitung eines Datenpaketes befasst sind und eine unterschiedliche Anzahl von Operationen zur Datenpaketverarbeitung benötigen. Beispiel:

- Sequenzer 1 (Seq1) benötigt 10 Operationen um ein Datenpaket zu verarbeiten
- Sequenzer 2 (Seq2) benötigt 5 Operationen um ein Datenpaket zu verarbeiten
- Sequenzer 3 (Seq3) benötigt 20 Operationen um ein Datenpaket zu verarbeiten

Um ein optimales Arbeits-/Stromverbrauchsverhältnis zu erhalten, wären die einzelnen Sequenzer wie folgt zu takten: $F_{\max} = F_{\text{Seq2}} / 4 = F_{\text{Seq1}} / 2 = F_{\text{Seq3}}$

oder bei einer maximalen Arbeitsfrequenz von beispielsweise
100MHz: $F_{seq1} = 50\text{MHz}$, $F_{seq2} = 25\text{MHz}$, $F_{seq3} = 100\text{MHz}$

Es wird als besonders vorgeschlagen, je PAE und/oder Gruppe
5 von PAEs unterschiedliche Taktquellen zu verwenden. Dazu kön-
nen beispielsweise verschiedene Techniken einzeln oder ge-
meinsam angewendet werden:

1) Individuell pro PAE programmierbare Taktteiler, die ausge-
hend von einem oder mehreren gemeinsamen Basistakten ein je-
10 weils individuell konfigurierbares Teilerverhältnis ermögli-
chen.

2) Individuell pro PAE programmierbare Taktvervielfacher
(PLLs), die ausgehend von einem oder mehreren gemeinsamen Ba-
sistakten ein jeweils individuell konfigurierbares Teilerver-
15 hältnis ermöglichen.

3) Ableitung des jeweiligen PAE-Taktes aus dem Datenstrom der
jeweils zu verarbeitenden Daten, z.B. durch Oversampling.

Ein Ausführungsbeispiel mit unterschiedlichen Algorithmen ist
20 in Figur 1 dargestellt.

c) Konfigurationstakt

Eine Optimierung des Energieverbrauches wird auch dadurch be-
günstigt, dass die Schaltungsteile, die zur Durchführung ei-
25 ner Konfiguration notwendig sind, selektiv getaktet werden,
d.h. es wird vorgeschlagen, je adressierter PAE zu takten
und/oder den Takt jener Schaltungsteile, die zur Durchführung
einer Konfiguration beziehungsweise Rekonfiguration erforder-
lich sind, vollständig abzuschalten, wenn keine Konfiguration
30 beziehungsweise Rekonfiguration durchgeführt wird und/oder
statische Register zu verwenden.

In besonderen Ausgestaltungen kann die Arbeitsfrequenz der PAEs oder Gruppen von PAEs von unterschiedlichen und/oder weiteren Faktoren abhängig gemacht werden. Es sei nachfolgend beispielhaft folgendes aufgeführt:

5

1. Temperaturmessung

Erreicht die Arbeitstemperatur bestimmte Schwellwerte, wird der Arbeitstakt entsprechend reduziert. Gegebenenfalls kann die Reduktion selektiv erfolgen, indem zunächst jene PAEs mit einem geringeren Takt betrieben werden, die den irrelevantesten Verlust an Performance darstellen.

In einer besonders bevorzugten Ausgestaltung können mehrere Temperaturmessung in unterschiedlichen Regionen durchgeführt werden und die Taktung jeweils lokal angepasst werden.

15

2. Pufferfüllstände

Aus DE 102 06 653.1 (PACT15), DE 102 07 224.8 (PACT15a), (PACT15b) sind IO-FIFOs (Eingangs-Ausgangs-First-In-First-Out-Schaltkreise) bekannt, die periphere Datentransfers von der Datenverarbeitung innerhalb einer VPU entkoppeln. Beispielsweise kann ein Puffer für Eingangsdaten (Input-Buffer) und/oder ein Puffer für Ausgangsdaten (Output-Buffer) implementiert sein. Eine besonders effiziente Größe zur Taktfrequenzbestimmung kann beispielsweise durch den Füllgrad der jeweiligen Daten-Puffer bestimmt werden. Beispielsweise können folgende Effekte und Wirkungen auftreten:

- a) Ein Input-Buffer ist weitgehend voll und/oder der Füllgrad steigt stark an: Erhöhung der Taktung, um die Abarbeitung zu beschleunigen.
- 30 b) Ein Input-Buffer ist weitgehend leer und/oder der Füllgrad sinkt stark an: Verringerung der Taktung, um die Abarbeitung zu verlangsamen.

c) Ein Output-Buffer ist weitgehend voll und/oder der Füllgrad steigt stark an: Verringerung der Taktung, um die Abarbeitung zu verlangsamen.

d) Ein Output-Buffer ist weitgehend leer und/oder der Füllgrad sinkt stark an: Erhöhung der Taktung, um die Abarbeitung zu beschleunigen.

Je nach Applikation und System können entsprechend geeignete Kombinationen angewendet werden.

10 Es sei darauf hingewiesen, dass eine derartige Taktfrequenzbestimmung implementierbar ist, wenn ein Füllgradbestimmungsmittel für einen Puffer, insbesondere einen Eingangs- und/oder Ausgangspuffer, alternativ aber auch Zwischenpuffer innerhalb eines VPU-Arrays, vorgesehen ist und dieses Füllgraderfassungsmittel mit einem Taktvorgabemittel zur Vorgabe einer Logikzellentaktung verbunden ist, damit dieses die Logikzellentaktung im Ansprechen auf den Pufferfüllgrad verändern kann.

20

3. Batteriezustand

Für mobile Geräte ist ein sorgsamer Umgang mit der Stromversorgung z.B. Batterie zwingend erforderlich. Abhängig von der Energiereserve, die nach bestehenden Methoden entsprechend des Stand der Technik bestimmt werden kann, wird die Frequenz von PAEs und/oder Gruppen von PAEs bestimmt, insbesondere bei geringer Energiereserve reduziert.

Es ist möglich, neben oder zusätzlich zur Optimierung der Datenverarbeitungstaktung auch eine Optimierung des Datentransfers respektive des Verhältnisses zwischen Datentransfer und Datenverarbeitung zu erreichen.

In einer besonderen Ausgestaltung können die beschriebenen Taktsteuerungen von PAEs derart erweitert werden, dass - beispielsweise unter Verwendung einer sequenzerähnlichen Ansteuerung und eines geeigneten Registersatzes - mehrere bevorzugt unterschiedliche Konfigurationsworte in mehreren Takten nacheinander ausgeführt werden können. Dazu kann den Konfigurationsregistern und/oder einem - eventuell auch abgekoppelten und separat implementieren - Konfigurationsspeicher (vgl. DE 102 06 653.1 (PACT15), DE 102 07 224.8 (PACT15a), PACT15b) ein Sequenzer zugeordnet werden, der eine Anzahl von Konfigurationseinträgen sequentiell abarbeitet. Der Sequenzer kann als Mikrokontroller ausgestaltet sein. Insbesondere kann der Sequenzer in seiner Funktion programmierbar/konfigurierbar sein, wie beispielsweise der Baustein EPS448 von Altera [ALTERA Data Book 1993]. Mögliche Ausgestaltungen derartiger PAEs sind beispielsweise in den Patentanmeldungen PCT/DE 97/02949 (PACT02/PCT), PCT/DE 97/02998 (PACT04/PCT), PCT/DE 00/01869 (PACT13/PCT), DE 101 10 530.4 (PACT18), DE 102 06 653.1 (PACT15), DE 102 07 224.8 (PACT15a), PACT15b beschrieben, die zu Offenbarungszwecken vollumfänglich eingegliedert werden.

Es wird für das Nachfolgende zunächst davon ausgegangen, dass mehrere Konfigurationsworte zu einer Konfiguration (PACKEDCONF) zusammengefaßt und auf eine PAE konfiguriert werden. Die PACKEDCONF wird derart abgearbeitet, dass die einzelnen Konfigurationsworte zeitlich nacheinander ausgeführt werden. Der Datenaustausch und/oder Statusaustausch zwischen den einzelnen zeitlichen Konfigurationen erfolgt durch eine geeignete Datenrückkopplung in den PAEs, beispielsweise durch einen geeigneten Registersatz und/oder ein anderes Daten- und/oder Statusaustauschmittel, wie geeignete Speicher und dergleichen.

Dieses Verfahren erlaubt ein unterschiedliches Timing für PAEs und Bussysteme. Während PAEs beispielsweise mit sehr hohen Taktraten Daten verarbeiten, werden Operanden und/oder Ergebnisse nur mit einem Bruchteil der Taktrate der PAEs über einen Bus übertragen. Die Übertragungszeit über den Bus kann entsprechend länger sein.

Es ist bevorzugt, wenn nicht nur die PAEs oder andere Logikeinheiten in einem konfigurierbaren und/oder rekonfigurierbaren Baustein mit unterschiedlicher Geschwindigkeit taktbar sind, sondern auch eine unterschiedliche Taktung von Teilen eines Bussystems vorgesehen wird. Dabei ist es möglich, entweder mehrere parallele Busse vorzusehen, die unterschiedlich schnell getaktet werden, etwa einen Bus, der besonders hoch getaktet wird, um eine hochperformante Verbindung vorzusehen, parallel zu einem niedriger getakteten Bus, der eine stromsparende Verbindung vorsieht. Die hochgetakte Verbindung kann dann verwendet werden, wenn längere Signalwege ausgeglichen werden müssen, oder wenn eng beieinanderliegende PAEs mit hoher Frequenz arbeiten und demgemäß auch mit hoher Frequenz Daten austauschen müssen, um hier über kurze Entfernungen, in welchen die Latenzzeit eine allenfalls geringe Rolle spielt, eine gute Übertragung vorzusehen. Es wird somit in einer möglichen Ausgestaltung vorgeschlagen, dass eine Anzahl lokal zueinander angeordneter PAEs zu einer Gruppe zusammengefaßt mit einer hohen Frequenz ggf. auch sequentiell arbeitet und lokale und entsprechend kurze Bussysteme der Datenverarbeitungsrate der Gruppe entsprechend hoch getaktet werden, während die Operanden zuführenden oder Ergebnisse abführenden Bussysteme langsamere Takt- und Datentransferraten aufweisen. Alternativ wäre es möglich, innerhalb einer Gruppe aus PAEs zu Zwecken der Energieverbrauchsoptimierung eine langsame

Taktung vorzunehmen und Daten mit hoher Geschwindigkeit zuzuführen, etwa wenn eine Vielzahl von einströmenden Daten mit nur geringem Operationsaufwand, also niedrigen Taktzahlen gearbeitet werden kann.

5

Neben der Möglichkeit Bussysteme vorzusehen, die mit unterschiedlicher Frequenz getaktet werden, ist es auch möglich, überhaupt mehrere unabhängig voneinander betreibbare Bussysteme vorzusehen und dann die PAEs multiplexartig wie erforderlich aufzuschalten. Dies ermöglicht es schon für sich genommen, und unabhängig von der immer noch gegebenen Möglichkeit einer unterschiedlichen Taktung unterschiedlicher Bussysteme oder unterschiedlicher Bussystemteile, rekonfigurierbare Bausteine besonders effizient im Ressourcenmultiplexing zu betreiben. Es ist dabei möglich, unterschiedlichen Ressourcen nach unterschiedlichen Multiplexingverfahren unterschiedliche Konfigurationen zuzuteilen.

Insbesondere kann eine Gruppe von PAEs als Prozessor entsprechend PCT/DE 00/01869 (PACT13/PCT) ausgestaltet sein..

In den nachfolgenden Ausführungen werden beispielsweise datenverarbeitenden PAEs mittels eines Zeitmultiplexings verschiedenen Konfigurationen zugewiesen, während Bussysteme mittels eines Raummultiplexings den verschiedenen Konfigurationen zugewiesen werden.

Bei der Zuweisung von Ressourcen, das heißt der vom Compiler oder einer ähnlichen Einheit vorzunehmenden Zuweisung von Aufgaben an PAEs beziehungsweise eine Gruppe von PAEs kann das gegebene Feld dann betrachtet werden als ein Feld der n-

fachen Größe und es können Codeteile in dieses um den Faktor
n virtuell vergrößerte Feld an Ressourcen übertragen werden,
ohne dass Probleme auftreten, vor allem dann, wenn Codeteile
so erteilt werden, dass in eine multiplexartig verwendete PAE
5 keine voneinander abhängigen Codeteile einkonfiguriert werden
müssen.

In der bisherigen Betrachtung bestand eine PACKEDCONF aus
mindestens einem Konfigurationswort oder einer Bündelung von
10 Konfigurationsworten für PAEs, die zu einer einzigen Applika-
tion gehören. Mit anderen Worten wurden in PACKEDCONF nur zu-
sammengehörende Konfigurationsworte zusammengefaßt.

In einer erweiterten Ausgestaltung werden mindestens eines
15 oder mehrere Konfigurationsworte je unterschiedlicher Konfi-
gurationen in eine PACKEDCONF aufgenommen, derart dass je-
weils das Konfigurationswort oder die Konfigurationsworte,
die zu einer Konfiguration zusammengehören als Konfigura-
tions-Gruppe zusammengeschlossen sind und sodann die entste-
20 henden Konfigurations-Gruppen in das PACKEDCONF zusammenge-
faßt werden.

Die einzelnen Konfigurations-Gruppen können zeitlich nachein-
ander ausgeführt werden, also in einem Zeitmultiplexing mit
25 einer zeitscheibenartigen Zuweisung. Dadurch entsteht ein
Zeitmultiplexing unterschiedlicher Konfigurations-Gruppen auf
einer PAE. Das Konfigurationswort oder die Konfigurationworte
innerhalb einer Konfigurations-Gruppe können ebenfalls wie
vorstehend beschrieben zeitlich nacheinander ausgeführt.

30

Den Konfigurationsregistern und/oder einem - eventuell auch
abgekoppelten und separat implementieren - Konfigurations-

speicher (vgl. DE 102 06 653.1 (PACT15), DE 102 07 224.8
(PACT15a), PACT15b) werden Multiplexer zugeordnet, die eine
der Konfigurations-Gruppen auswählen. In einer erweiterten
Ausführung kann weiterhin ein Sequenzer (wie bereits be-
5 beschrieben) zugeordnet sein, der die sequentielle Abarbeitung
von Konfigurationsworten innerhalb von Konfigurations-Gruppen
ermöglicht.

Durch die Multiplexer und optionalem Sequenzer kann eine Res-
10 source (PAE) in einem Zeitmultiplexverfahren mehreren unter-
schiedlichen Konfigurationen zugeordnet werden.

Unterschiedliche Ressourcen können die jeweils anzuwendende
Konfigurations-Gruppe untereinander synchronisieren, bei-
spielsweise durch Übertragung einer Konfigurations-
15 Gruppennummer oder eines Zeigers.

Die Ausführung der Konfigurations-Gruppen kann linear hinter-
einander und/oder zyklisch erfolgen. Eine Priorisierbarkeit
sei erwähnt. Besonders hervorzuheben ist, dass hierbei unter-
20 schiedliche Sequenzen in einem einzigen Prozessorelement ab-
gearbeitet werden können und dass dazu zugleich unterschied-
liche Bussysteme vorgesehen sein können, sodass mit dem Auf-
bau einer Busverbindung, die aufgrund der langen Übertra-
gungswege andauern kann, keine Zeit vergeudet wird. Wenn eine
25 PAE ihre erste Konfiguration einem ersten Bussystem zuordnet
und bei Ausführung der ersten Konfiguraton an dieses ankop-
pelt, kann sie, wenn räumliches Multiplexing für das Bussy-
stem möglich ist, in einer zweiten Konfiguration auf ein da-
von verschiedenes oder partiell verschiedenes Bussystem auf-
30 koppeln beziehungsweise daran ankoppeln.

Die Ausführung einer Konfigurations-Gruppe, jede Konfigurations-Gruppe bestehend aus einem oder mehreren Konfigurationsworten, kann von dem Eintreffen einer Ausführungsfreigabe durch Daten und/oder Triggern und/oder einer Ausführungsfreigabebedingung abhängig gemacht werden.

Ist die Ausführungsfreigabe(-bedingung) für eine Konfigurations-Gruppe nicht gegeben, kann entweder auf die Ausführungsfreigabe(-bedingung) gewartet werden oder mit der Ausführung einer nachfolgenden Konfigurations-Gruppe fortgefahren werden. Während des Wartens auf eine Ausführungsfreigabe(-bedingung) gehen die PAEs bevorzugt in einen stromsparenden Betriebsmodus, beispielsweise mit abgeschaltetem Takt (Gated Clock) und/oder teilweise abgeschalteter oder verringerter Stromversorgung. Kann keine Konfigurations-Gruppe aktiviert werden, gehen PAEs bevorzugt ebenfalls in einen stromsparenden Betriebsmodus wie vorerwähnt.

Die Speicherung der PACKEDCONF kann unter Verwendung eines Ringspeichers oder anderer Speicher- beziehungsweise Registermittel erfolgen, wobei die Verwendung eines Ringspeichers zur Folge hat, dass nach Ausführung des letzten Eintrages wieder mit der Ausführung des erstens begonnen werden kann (vgl. PCT/DE 97/02998 (PACT04/PCT)). Es sei erwähnt, dass innerhalb der PACKEDCONF und/oder einer Konfigurationsgruppe auch direkt und/oder indirekt und/oder jeweils bedingt in eine besondere Ausführung gesprungen werden kann.

In einem bevorzugten Verfahren können PAEs zur entsprechenden zeitgemultiplexten Abarbeitung von Konfigurationen ausgearbeitet sein. Die Anzahl der Bussysteme zwischen den PAEs wird derart erhöht, dass für eine ausreichende Anzahl von Konfigu-

rations-Gruppen ausreichende Ressourcen zur Verfügung stehen. Mit anderen Worten arbeiten die datenverarbeitenden PAEs in einem Zeitmultiplexverfahren, während die datenübertragenden und/oder datenspeichernden Ressourcen in hinreichender Menge
5 zur Verfügung gestellt sind.

Dies entspricht einer Art Raummultiplexing, wobei ein erstes Bussystem einer ersten zeitweise abgearbeiteten Konfiguration zugeordnet ist und ein zweites, räumlich getrennt von diesem
10 verlaufendes beziehungsweise geführtes Bussystem einer weiteren Konfiguration zugeordnet ist.

Es ist zugleich und/oder alternativ möglich, dass auch die Bussysteme ganz oder partiell im Zeitmultiplexing betrieben
15 werden und sich mehrere Konfigurationsgruppe ein Bussystem teilen. Hierbei kann vorgesehen sein, dass jede Konfigurationsgruppe seine Daten beispielsweise als Datenpaket überträgt, welchem eine Konfigurations-gruppenID zugeordnet ist (vergleiche APID in DE 102 06 653.1 (PACT15), DE 102 07 224.8
20 (PACT15a), PACT15b). Es kann dann vorgesehen sein, die jeweils übertragenen Datenpakete anhand der ihnen zugeordneten Identifikationsdaten abzuspeichern, zu sortieren und zwar bei Bedarf und zur Abstimmung der IDs zwischen unterschiedlichen Bussen.

25 In einem erweiterten Verfahren können auch Speicherquellen zeitlich gemultiplext werden, beispielsweise indem mehrere Segmente implementiert sind und/oder bei einem Wechsel der Konfigurations-Gruppe der oder die entsprechenden Speicher
30 entsprechend PCT/DE 97/02998 (PACT04/PCT) und/oder PCT/DE 00/01869 (PACT13/PCT) in einen anderen ggf. auch externen Speicher geschrieben oder aus diesem geladen werden. Insbe-

sondere die Verfahren nach DE 102 06 653.1 (PACT15), DE 102 07 224.8 (PACT15a), PACT15b können Anwendung finden (beispielsweise MMU paging und/oder APID)

5 Als weitere Möglichkeit zur Ressourcenschonung sei die Anpassung der Betriebsspannung an den Takt erwähnt.

Halbleiterprozesse lassen typischerweise höhere Taktfrequenzen zu, wenn sie bei höheren Betriebsspannungen betrieben werden. Allerdings wird dadurch erheblich mehr Strom verbraucht und ggf. verringert sich auch die Lebensdauer eines Halbleiters.

Ein optimaler Kompromiss kann erreicht werden, indem die Spannungsversorgung von der Taktfrequenz abhängig gemacht wird. Beispielsweise kann bei geringen Taktfrequenzen mit geringer Versorgungsspannung gearbeitet werden. Mit ansteigenden Taktfrequenzen wird die Versorgungsspannung ebenfalls (vorzugsweise bis zu einem definierten Maximum) erhöht.

Die Erfindung wird im folgenden noch weiter beispielhaft dargestellt unter Bezugnahme auf die beigefügte Zeichnung. Es sei erwähnt, dass diese beispielhafte Umschreibung nicht limitierend ist und im Einzelfall in unterschiedlichen Figuren identische oder ähnliche Einheiten mit unterschiedlichen Bezugszeichen belegt sein können.

25
Figur 1 zeigt beispielhaft eine rekonfigurierbare Datenverarbeitungseinrichtung (VPU) (0101). Einem Array aus unabhängig voneinander konfigurierbaren und rekonfigurierbaren PAEs (0102) ist eine Konfigurationseinheit (CT, 0103) übergeordnet zur Steuerung und Durchführung der Konfiguration und Rekonfiguration. Hierzu sei besonders auf die verschiedenen Anmeldungen des Anmelders und den Offenbarungsgehalt der einlei-

tend unter Bezug genommenen Schriften und Technologien verwiesen. Der Datenverarbeitungseinrichtung ist weiterhin ein Zentraltaktgenerator (0104) zugeordnet. Die Taktrate des Zentraltaktgenerator kann in einer möglichen Ausgestaltung von
5 der Konfigurationseinheit 0103 vorgegeben werden. Die Taktrate jeder PAE und/oder Gruppen von PAEs und deren Busverbindungen kann in einer möglichen Ausgestaltung ebenfalls von der Konfigurationseinheit 0103 vorgegeben werden.

10 Nach Fig. 2 speist die Konfigurationseinheit 0103 über eine Konfigurationsleitung 0103a konfigurierende Daten in jeweilige Zellen 2, von welchen nur eine beispielhaft dargestellt ist. Weiter wird an die Zelle 0102 das Taktsignal des zentralen Taktgenerators 0104 über eine Taktleitung 0104a gespeist.
15 Die rekonfigurierbare Zelle 0102 kommuniziert über einen Datenbuseingang 0205a und -ausgang 0205b mit anderen Zellen und weist weiter eine datenverarbeitende Einheit beispielsweise eine arithmetische Logikeinheit ALU 0206 auf, sowie bevorzugt einen internen Datenspeicher 0207 und einen Konfigurations-
20 speicher 0208, in welchem die konfigurierenden Befehle aus der Konfigurationseinheit 0103 über einen Konfigurationsbefehlextraktor 0209 eingespeist werden, um im Ansprechen darauf die datenverarbeitende Einheit beispielsweise ALU 0206 zu konfigurieren. Der Konfigurationsextraktor 0209 ist weiter
25 mit einem Frequenzteilungs/ vervielfachungsfaktorvorgabeingang 0210a eines Frequenzteilers/Frequenzvervielfachers 0210 verbunden, welcher dazu ausgebildet ist, das Taktsignal des zentralen Taktgenerators 0104 auf der Taktleitung 0104a entsprechend einem über den Eingang 0210a vorgegebenen Taktver-
30 hältnisses zu teilen oder zu vervielfachen und das Taktsignal an die datenverarbeitende Einheit, beispielsweise die arithmetische Logikeinheit ALU 0206 und gegebenenfalls weitere

Einheiten der rekonfigurierbaren Zelle 0102 über eine Leitung 0211 zu speisen. 0210 kann durch eine optionale Datenbusüberwachungsschaltung 0212 derart angesteuert werden, dass die Frequenz in Abhängigkeit des Empfangs oder Versendens von Daten gesteuert wird.

Optional kann weiterhin ein Multiplexer 0213 zur Auswahl unterschiedlicher Konfigurationen und/oder Konfigurationsgruppen in Abhängigkeit von 0212 integriert sein. Der Multiplexer kann weiterhin optional durch einen Sequenzer 0214 angesteuert werden, um eine sequentielle Datenverarbeitung zu ermöglichen. Insbesondere dafür können Zwischenergebnisse in dem Datenspeicher 0207 verwaltet werden.

Während die allgemeine Konfiguration der Zelle bereits zum Teil in den einleitend erwähnten Anmeldungen des Anmelders beschrieben wurde, ist wenigstens die vorliegend beschriebene Taktteilungsanordnung, die zugehörige Beschaltung und die Optimierung ihres Betriebs neu, wobei darauf hingewiesen wird, dass diese jeweils mit erforderlichen Hardwareveränderungen einhergehen können und werden.

Die Gesamt-Anordnung und insbesondere die Konfigurationseinheit 0103 ist so gebildet, dass mit einem konfigurierenden Signal, mit welchem ein Konfigurationswort über die Konfigurationsleitung 0103a über den Konfigurationswortextraktor 0209 an die datenverarbeitende Einheit 0206 bzw. den vor- und/oder nach- und/oder zugeordneten Speicher 0208 gespeist wird, auch ein Taktteilungs-/vervielfachungssignal ausgesendet, von dem Konfigurationswortextraktor 0209 extrahiert und an den Frequenzteiler/-vervielfacher 0210 gesendet werden kann, damit dieser die datenverarbeitende Einheit 0206 und gegebenenfalls noch andere Einheiten im Ansprechen darauf

takten kann. Es sei darauf hingewiesen, dass an Stelle der Einheit 0209 auch andere Möglichkeiten bestehen, im Ansprechen auf ein Eingangssignal an die Zelle die Taktung einer einzelnen datenverarbeitende Einheit 0206 unter Bezugnahme auf eine zentrale Takteinheit 0104 zu variieren, beispielsweise über die Datenbusüberwachungsschaltung 0212.

Ein Gesamtfeld aller rekonfigurierbaren Logikeinheiten 0102 kann unter Verwendung der vorstehend beschriebenen Ausbildung, aber gegebenenfalls auch unter anderer Implementierung der Einheiten betrieben werden, wie es nur beispielhaft mit Bezug auf Fig. 3 und 4 beschrieben werden wird:

Nach Fig. 3a ist beispielsweise ein 3x3-Feld rekonfigurierbarer Zellen so konfiguriert, dass eine erste Zelle 0102a zur Auswertung eines Eingang/Ausgang-Signals dient. Die Zellen 0102b, 0102c werden gegenwärtig nicht benötigt und sind demgemäß als nicht konfiguriert (n.c.) bezeichnet. Die Zellen 0102d bis 0102i bilden zusammen eine Gruppe, mit der eine komplexe arithmetische Operation ausgeführt wird, wobei in Zelle 0102d eine Addition, in Zelle 0102e eine Subtraktion, in Zelle 0102f eine Multiplikation erfolgt, in Zelle 0102g eine Schleife durchlaufen wird, innerhalb von welcher eine Mehrfachaddition vorgenommen wird, in Zelle 0102h eine Division erfolgt und in Zelle 0102i wiederum eine Addition. Die Zellen 0102d bis 0102i sind in der durch strichpunktierte Linien angedeuteten Gruppe 0301 so miteinander verbunden, dass Daten sequentiell und pipelineartig von den Zellen abgearbeitet werden. Die Operationen innerhalb der Zellen 0102d und 0102e laufen in unterschiedlich vielen Taktzyklen ab, wie in Tabelle Figur 3b in der zweiten Reihe angedeutet ist. Dort ist die Anzahl der Taktzyklen angegeben und es ist ersicht-

lich, dass eine Addition oder Subtraktion in einem Taktzyklus ausgeführt werden kann, die Division aber 32 Taktzyklen benötigt. In der dritten Zeile der Tabelle von Figur 3b ist nun angegeben, welcher Wert dem Frequenzteiler jeder Zelle zugeordnet ist, um eine optimale Energienutzung bei doch konstant bleibendem Datendurchsatz durch die Zelle zu erreichen. Nur die Zelle, in welcher die Division stattfindet, wird mit höchstem Takt betrieben; hier ist das Taktverhältnis 1. Diese Zelle benötigt für die ihr zugewiesene Operation am längsten. Da nur alle 32 Takte ein neues Ergebnis an die die Division durchführende Zelle 0102h geliefert werden braucht, sind die Zellen 0102d und 0102e um den entsprechenden Faktor 32 langsamer getaktet; das Frequenzteilerverhältnis für diese Zellen beträgt demgemäß 32, wie in Fig. 3b ersichtlich. Die Multiplikation, die in zwei Taktzyklen abläuft, besitzt dem hingegen ein Frequenzteilerverhältnis 16 und die wiederum aufwendigere Schleife von Zelle 0102g, die in 16 Taktzyklen abläuft, erhält nur ein Frequenzteilerverhältnis von 2 zugewiesen. Diese Taktverhältnisse sind zunächst bei der Konfiguration, in der die einzelnen Zellen gruppenweise zusammengestellt werden und jeder Zelle innerhalb der Gruppe zugewiesen wird, bekannt, da sie vom Compiler bei der Programmcompilierung bestimmt wurden und können demgemäß in die Zelle bei deren Konfiguration eingegeben werden. In der vierten Reihe von oben ist angegeben, welche Taktrate sich bei einem Zentraltakt von 256 MHz ergibt.

Wird die Prozessoreinheit mit den separat taktbaren rekonfigurierbaren Logikzellen in einer Anwendung betrieben, in der die Spannung abfallen kann, beispielsweise aufgrund sich erschöpfender Kapazitäten einer Spannungsversorgung, so kann vorgesehen werden, dass beispielsweise bei Abfall der Versor-

gungsspannung auf einen kritischen Wert U1 die Gesamtfrequenz herunter gesetzt wird und es werden dann alle Zellen um die Hälfte langsamer getaktet, so dass auch die Divisionszelle 0102h nur noch mit 128 MHz läuft, während die Zelle 0102d mit 5 4 MHz getaktet wird. Die Zelle 0102a, die eine mit geringerer Priorität erfolgende Abfrage des Mauszeigers durchführt, wird nicht mehr mit 8 MHz getaktet wie zuvor, sondern nur noch mit 2 MHz, das heißt, es werden abhängig von der Priorisierung bei Spannungsabfall oder unter anderen Umständen den jewei- 10 ligen Gruppen unterschiedliche Verlangsamungen je nach Bedeutung der Aufgabe zugewiesen.

Steigt dann aus anderen Gründen noch die Temperatur an, kann die Wärmeerzeugung im Logikzellenfeld durch eine weitere Her- 15 absetzung der Taktraten der Logikzellen weiter verringert werden, wie dies in der letzten Reihe von Fig. 3b angedeutet ist. Es versteht sich, dass wahlweise z.B. ein jeweiliger einzelner Sensor zur Bestimmung des Zustandes wie der Versorgungsspannung und/oder der Temperatur vorgesehen werden kann, 20 dessen Sensorsignal konditioniert an die Zellen gespeist werden kann, eine entsprechende Sensoranordnung jeder Zelle zugeordnet sein kann und/oder gegebenenfalls auch der Zentraltakt veränderbar ist.

25 Damit läßt sich ein Prozessorfeld energieoptimal betreiben, die erforderlichen Kühlleistungen nehmen ab und es ist einsichtig, dass, da im Regelfall nicht alle Zellen stets mit höchster Taktfrequenz betrieben werden können und/oder müssen, Kühlkörper und dergleichen entsprechend schwächer dimensioniert werden können, was wiederum weitere Kostenvorteile 30 bringt.

Es sei erwähnt, dass neben der Abfrage einer Versorgungsspannung, einer Temperatur, der Priorisierung von Rechnungen und dergleichen weitere Zustände taktbestimmend sein können. So kann beispielsweise ein Hardware- oder Softwareschalter vorgesehen werden, mit dem der Benutzer angibt, dass eine nur
5 geringe Taktung oder eine höhere Taktung gewünscht ist. Dies ermöglicht einen noch sparsameren und gezielteren Umgang mit der zur Verfügung stehenden Energie. Es kann dabei insbesondere vorgesehen werden, dass die Zentraltaktrate auf Anforderung eines Benutzers oder auf externe Anforderung insgesamt
10 herabgesetzt werden kann, aber die Takteilerverhältnisse innerhalb des Zellarrays nicht verändert werden, um, etwa bei Temperaturüberhöhung, das Erfordernis zu vermeiden, alle Zellen neu zu konfigurieren. Überdies sei darauf hingewiesen,
15 dass bei der Bestimmung der Taktraten ein Hystereseverhalten vorgesehen werden kann, etwa dann, wenn temperaturabhängig die Taktfrequenzen verändert werden sollen.

Figur 4 zeigt nochmals die Datenverarbeitungseinrichtung
20 (VPU) nach Figur 1. Unterschiedliche Gruppen innerhalb der VPU werden mit unterschiedlichen Frequenzen f betrieben, die jeweils von einem durch 0104 generierten Frequenznormal n abgeleitet werden. Es soll ausdrücklich erwähnt sein, dass auch mehrere Frequenznormale ($n_1 \dots n_n$) von mehreren 0104 generiert
25 und innerhalb einer VPU verwendet werden können.

Figur 5 zeigt ein einfaches Ausführungsbeispiel für den Betrieb einer PAE nach Figur 2. Ein Datenbus (0205a) liefert die Operanden ia_1 und ia_2 an eine ALU (0206), die das Ergebnis der Berechnung oa an 0205b liefert. Die PAE wird nur dann
30 aktiv, d.h. getaktet und/oder mit Strom versorgt, wenn die Datenbusüberwachungsschaltung 0212 die Annahme des vorherigen

Ergebnisses oa durch den Empfänger und das Eintreffen der für die Operation erforderlichen Operanden ia1 und ia2 erkennt. Mit anderen Worten wird die PAE erst dann aktiv, wenn sämtliche Arbeitsbedingungen und -erfordernisse erfüllt sind. Die
5 Taktfreischaltung erfolgt durch 0210, die Taktquelle ist 0104a.

Figur 6 entspricht Figur 5 mit dem Zusatz, dass ein Sequenzer (0214) aktiviert wird, der eine mehrzyklische Konfiguration
10 (z.B. eine komplexe Berechnung wie z.B. Matrixmultiplikation o.ä.) steuert. Die Operationen entnimmt er dem Konfigurationsspeicher oder aus einem Ausschnitt des Konfigurationsspeichers. In dem dargestellten Beispiel werden die Operationen op1, op2, op3, op4, op5 sequentiell ausgeführt. Nach Beendi-
15 gung wird das Ergebnis oa versendet und die PAE muss erneut aktiviert werden.

Der auf dem Datenbus 0205a/b eintretende Datentransfer ist in Figur 6a dargestellt. Es sei darauf hingewiesen, dass das Datenrouting über den Bus in per se bekannter Weise wie aus anderen Anmeldungen und/oder Veröffentlichungen des vorliegenden Anwenders bekannt, erfolgen kann, das heißt es können
20 Kollisionsverhinderungen und Deadlock-Situationen in per se bekannter Weise für jeweils eine Konfiguration verhindert
25 werden.

Für die Ausführung von op1 müssen die Operanden ia über 0205a verfügbar sein (0601), die Datentransfers für die restlichen
30 Zyklen können prinzipiell undefiniert sein. Bevorzugt kann danach 0205a die nachfolgenden Operanden übertragen (0602), wozu die Ausführungszeit von op2, op3, op4, op5 zur Verfügung steht und somit eine wesentliche zeitliche Ent-

kopplung eingetreten ist, die die Verwendung von langsameren und/oder insbesondere längeren Bussystemen zuläßt.

Alternativ (0603) können in einem Zeitmultiplexverfahren während der Ausführung von op2, op3, op4, op5 Daten anderer Konfigurationen über dasselbe Bussystem 0205a übertragen werden.

Das Ergebnis oa liegt nach op5 auf dem Bus 0205b an (0601), die Datentransfers für die restlichen Zyklen können prinzipiell undefiniert sein.

10 Bevorzugt kann die Zeit davor, also während der Ausführung von op1, op2, op3, op4 könnte noch zu Übertragung des vorhergehenden Ergebnisses genutzt werden (0602). Wiederum ist eine wesentliche zeitliche Entkopplung eingetreten, die die Verwendung von langsameren und/oder insbesondere längeren Bussystemen zuläßt.

Alternativ (0603) können in einem Zeitmultiplexverfahren während der Ausführung von op1, op2, op3, op4 Daten anderer Konfigurationen über dasselbe Bussystem 0205b übertragen werden. 0210 kann eine PLL zur Taktvervielfachung verwenden. Insbesondere kann eine PLL derart angewendet werden, dass der Arbeitstakt der PAE zur Abarbeitung von op1, op2, op3, op4, op5 das fünffache des Bustaktes beträgt. In diesem Fall kann sich die PAE wie eine PAE ohne Sequenzer mit nur einer (einzyklischen) Konfiguration und demselben Takt wie der Bustakt, verhalten.

Figur 7 entspricht Figur 6 mit den Zusatz, dass mehrere Konfigurations-Gruppen (ga, gb, gc) sich die PAE zeitgemultiplext teilen und jede Gruppe Anschlüsse auf ein separater (Raumgemultiplextes) Bussystem aufweisen (ia/oa, ib/ob, ic/oc). Ein Multiplexer in 0214 selektiert zyklisch die Gruppen ga, gb, gc. Sofern die Datenbusüberwachungsschaltung 0212

eine gültige Ausführungsfreigabe(-bedingung) für eine Konfigurations-Gruppe generiert, wird die jeweilige Konfigurations-Gruppe ausgeführt, ansonsten kann auf die Ausführungsfreigabe(-bedingung) gewartet werden oder bevorzugt eine andere nächste Konfigurations-Gruppe selektiert. Die Konfigurations-Gruppen können zyklisch durchlaufen werden.

5 Eine Konfigurations-Gruppe kann mehrere Konfigurationsworte beinhalten ($g_a = \{k_{a1}, k_{a2}\}$, $g_b = \{k_{b1}\}$, $g_c = \{k_{c1}, k_{c2}, k_{c3}\}$). Die Konfigurationsworte können durch einen Sequenzer
10 in 0214 sequentiell ausgeführt werden.

Figur 7a zeigt die Bustransfers des Beispiels nach Figur 7. 0701 entspricht 0601, 0702 entspricht 0602, 0703 entspricht 0603. Dabei werden für jede Gruppe g_a , g_b , g_c ein eigenes
15 Bussystem verwendet.

Zusätzlich ist in 0704 ein möglicher Bustransfer unter Verwendung eines Zeitmultiplexings für die Bussysteme dargestellt. Die Eingangsdaten sämtlicher Gruppen werden über ein Eingangs-Bussystem übertragen, die Ausgangsdaten sämtlicher
20 Gruppen werden über ein Ausgangs-Bussystem übertragen. Die undefinierten Zwischenzyklen sind entweder unbenutzt oder frei für andere Datentransfers.

Patentansprüche

1. Datenverarbeitungseinheit (VPU) mit einem in unterschied-
5 lichen Konfigurationszuständen betreibbaren Feld getakte-
ter Logikzellen (PAEs) und einem Taktvorgabemittel zur
Vorgabe einer Logikzellentaktung, dadurch gekennzeichnet,
dass das Taktvorgabemittel dazu ausgebildet ist, zu-
standsabhängig an zumindest einer ersten Zelle (PAE) ei-
10 nen ersten und an zumindest einer weiteren Zelle einen
weiteren Takt vorzugeben.
2. Datenverarbeitungseinheit nach dem vorhergehenden An-
spruch, dadurch gekennzeichnet, dass das Taktvorgabemit-
15 tel dazu ausgebildet ist, den Solltakt für wenigstens ei-
ne erste Zelle von einer Konfigurationszustände vorgeben-
den Einheit zu empfangen.
3. Datenverarbeitungseinheit nach dem vorhergehenden An-
20 spruch, dadurch gekennzeichnet, dass die Konfigurations-
zustände vorgebende Einheit eine Compilereinheit und/oder
eine Zellkonfigurationsvorgabeeinheit umfasst.
4. Datenverarbeitungseinheit nach einem der vorherigen An-
25 sprüche, dadurch gekennzeichnet, dass das Taktvorgabemit-
tel dazu ausgebildet ist, den Solltakt von einer Lo-
gikzelle zu empfangen.
5. Datenverarbeitungseinheit nach einem der vorherigen An-
30 sprüche, dadurch gekennzeichnet, dass das Taktvorgabemit-
tel wenigstens eine Zentraltaktvorgabeeinheit und wenig-
stens eine Lokaltaktgeneriereinheit zur Generierung des

Lokaltaktes aus dem vorgegebenen Zentraltakt, insbesondere je Zelle eine Zeitabtaktgeneriereinheit, umfasst.

- 5 6. Datenverarbeitungseinheit nach einem der vorherigen Ansprüche, dadurch gekennzeichnet, dass zumindest ein Teil der Logikzellen zumindest eine ALU umfassen und/oder durch eine solche gebildet sind.
- 10 7. Datenverarbeitungseinheit nach einem der vorherigen Ansprüche, dadurch gekennzeichnet, dass zumindest einem Teil der Logikzellen zumindest ein Speicher und/oder Register zugeordnet ist.
- 15 8. Datenverarbeitungseinheit nach einem der vorherigen Ansprüche, dadurch gekennzeichnet, dass eine Vielzahl identischer Logikzellen vorgesehen ist.
- 20 9. Datenverarbeitungseinheit nach einem der vorherigen Ansprüche, dadurch gekennzeichnet, dass alle Logikzellen identisch sind.
- 25 10. Verfahren zum Betreiben eines in unterschiedlichen Konfigurationszustände bringbaren Feldes getakteter Logikzellen, dadurch gekennzeichnet, dass zumindest zeitweilig für wenigstens eine erste Zelle ein erster Zustand bestimmt, abhängig vom ersten Zustand ein der ersten Zelle zuzuordnender Takt ermittelt und die Zelle mit diesem Takt betrieben wird, für wenigstens eine weitere Zelle ein zweiter Zustand bestimmt wird, abhängig vom zweiten Zustand ein der zweiten Zelle zuzuordnender zweiter Takt ermittelt und die zweite Zelle mit diesem vom ersten Takt verschiedenen zweiten Takt betrieben wird.
- 30

11. Verfahren nach dem vorhergehenden Anspruch, dadurch gekennzeichnet, dass für wenigstens eine erste Zelle der Takt zusammen mit ihrer oder bestimmt durch ihre Konfiguration vorgegeben wird.
5
12. Verfahren nach einem der vorhergehenden Verfahrensansprüche, worin eine Gruppe von Zellen gemeinsam zur Ausführung von algebraischen und/oder anderen Operationen konfiguriert werden, die eine unterschiedliche Anzahl von Taktzyklen erfordern, wobei zumindest eine Zelle, die eine Operation ausführt, welche weniger Taktzellen erfordert als jene Operation, die innerhalb der Gruppe am meisten Taktzyklen erfordert, langsamer getaktet wird als wenigstens eine andere Zelle.
10
15
13. Verfahren nach einem der vorhergehenden Verfahrensansprüche, dadurch gekennzeichnet, dass Zellen zumindest einer Gruppe zur sequentiellen Datenverarbeitung konfiguriert werden.
20
14. Verfahren nach einem der vorhergehenden Verfahrensansprüche, dadurch gekennzeichnet, dass das Feld in wenigstens zwei Zellgruppen zur Ausführung wenigstens zweier unterschiedlicher Aufgaben konfiguriert wird, denen eine unterschiedliche Priorität zugeordnet wird und jene Zellgruppe, die zur Ausführung der Aufgabe mit geringerer Priorität angeordnet ist, mit geringerer Taktfrequenz getaktet ist.
25
30
15. Verfahren nach einem der vorhergehenden Verfahrensansprüche, dadurch gekennzeichnet, dass der Zustand einer Span-

nungsversorgungsquelle und/oder eine Temperatur bestimmt und die Zelltaktung in Abhängigkeit vom so bestimmten Spannungs- und/oder Temperaturzustand bestimmt wird.

5 16. Verfahren zum Betrieb einer Anordnung rekonfigurierbarer Logikelemente, die in unterschiedlichen Konfigurationen betrieben werden können, dadurch gekennzeichnet, dass für eine Vielzahl möglicher, insbesondere gleichzeitig in das Feld einkonfigurierter Konfigurationen eine noch zulässige
10 Frequenz, insbesondere die noch ausführbare Maximalfrequenz bestimmt wird und eine Vielzahl von Zellen mit dieser Frequenz betrieben werden, wobei die Vielzahl von Zellen größer ist als jene Vielzahl, die zur Ausführung dieser sogenannten langsamsten Konfiguration gehört und
15 wobei die Vielzahl insbesondere das gesamte Feld der konfigurierbaren Elemente umfassen kann.

17. Verfahren zum Betrieb einer Anordnung rekonfigurierbarer Logikelemente, die in unterschiedlichen Konfigurationen
20 betrieben werden können, dadurch gekennzeichnet, dass Konfigurationen so gewählt werden, dass unter Berücksichtigung des Signaltransfers über Busleitungen maximale Frequenzen bei der Übertragung über Bussysteme erhalten
werden.

25

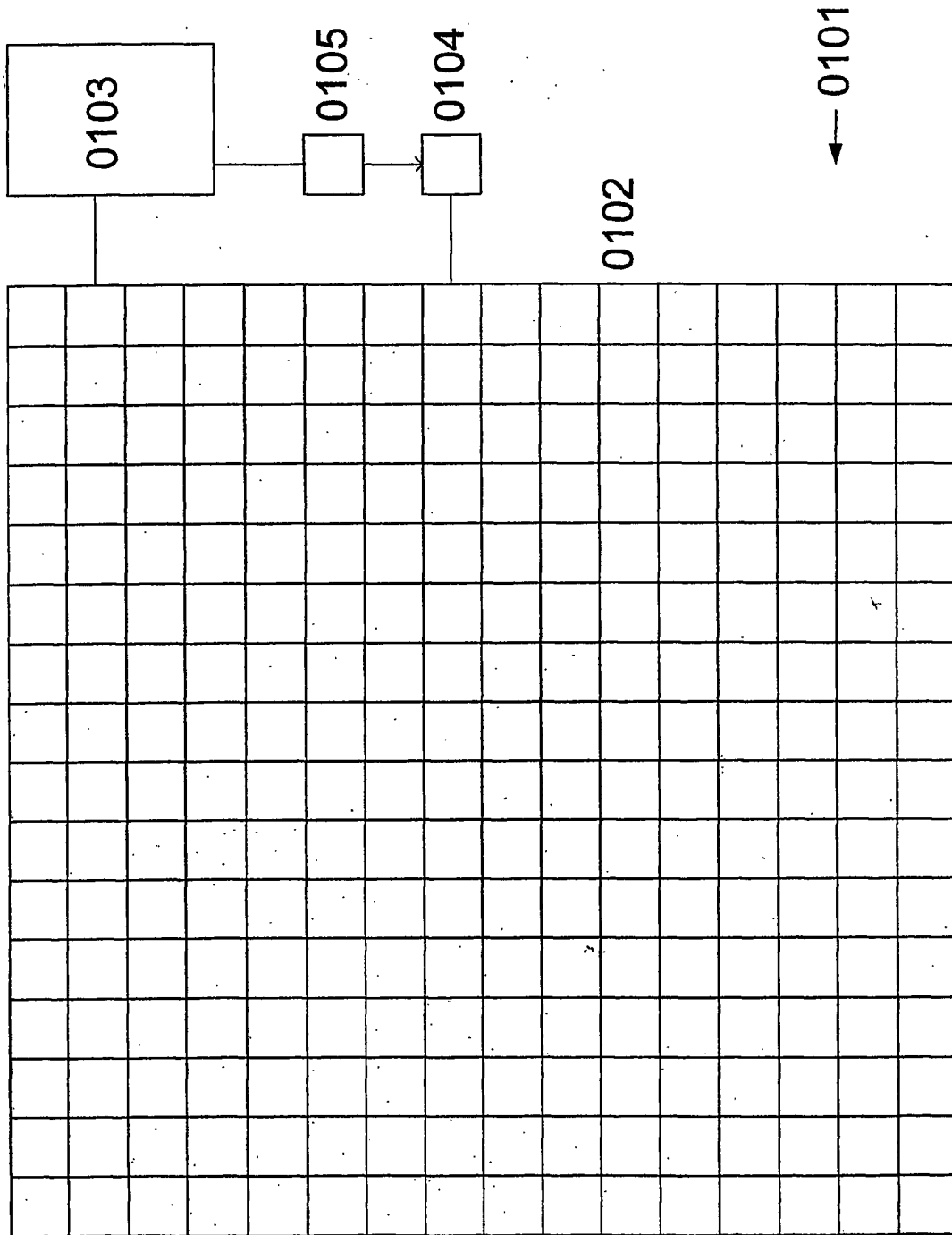


Fig. 1

0301

0102a I/O	+	0102d loop+	0102g
0102b n.c.	-	0102e /	0102h
0102c n.c.	*	0102f +	0102i

Fig. 3a

+	-	*	loop 16	/	+	
clk	clk	2 clk	16 clk	32 clk	clk	I/O
32	32	16	2	1	32	
8 Mhz	8 Mhz	16 Mhz	128 Mhz	256 Mhz	8 Mhz	8 Mhz
4	4	8	64	128	4	2
1	1	32	16	32	1	1

Fig. 3b

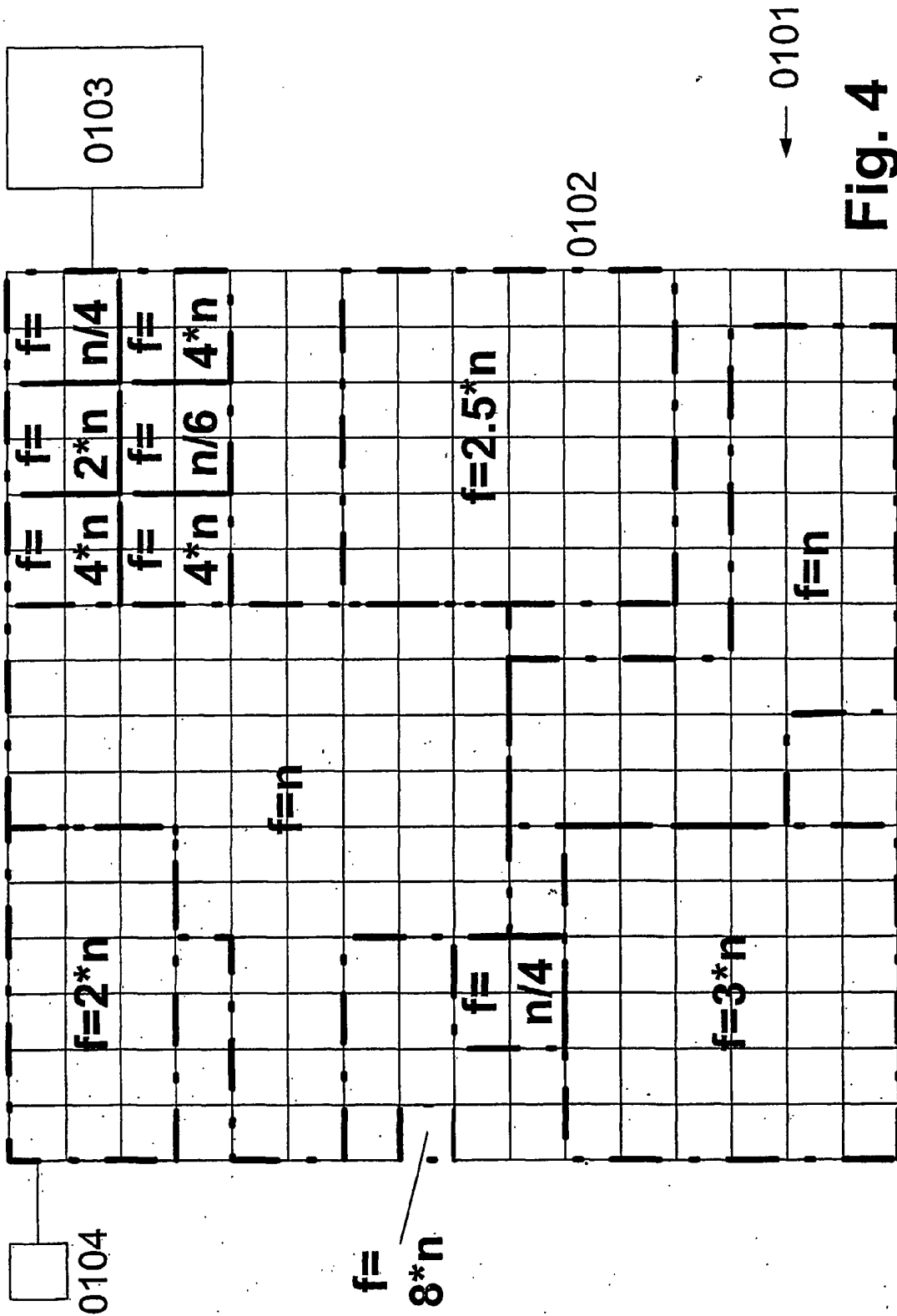


Fig. 4

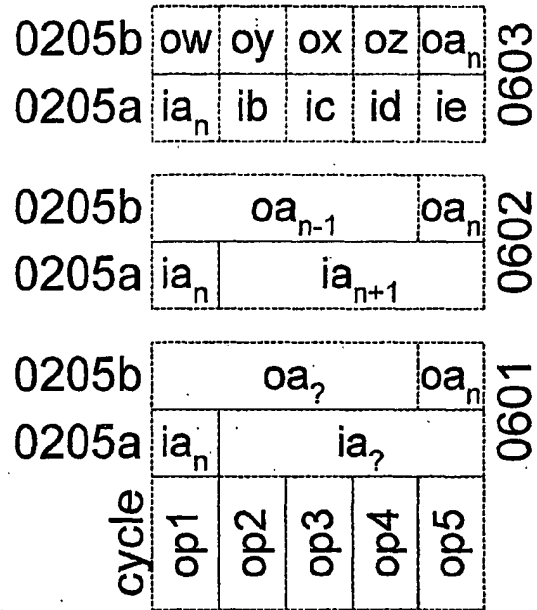


Fig. 6a

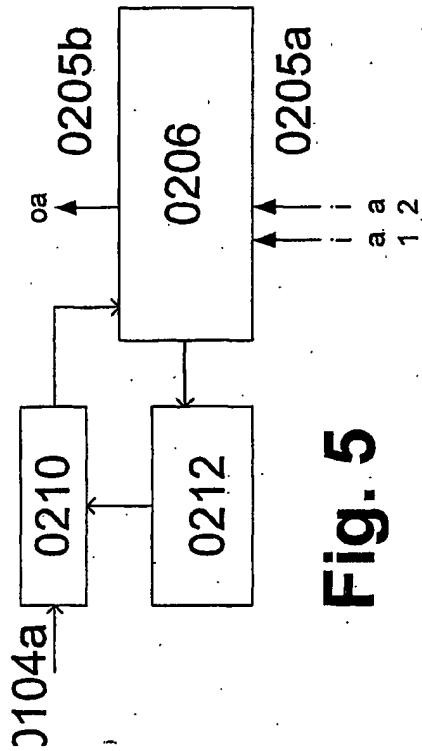


Fig. 5

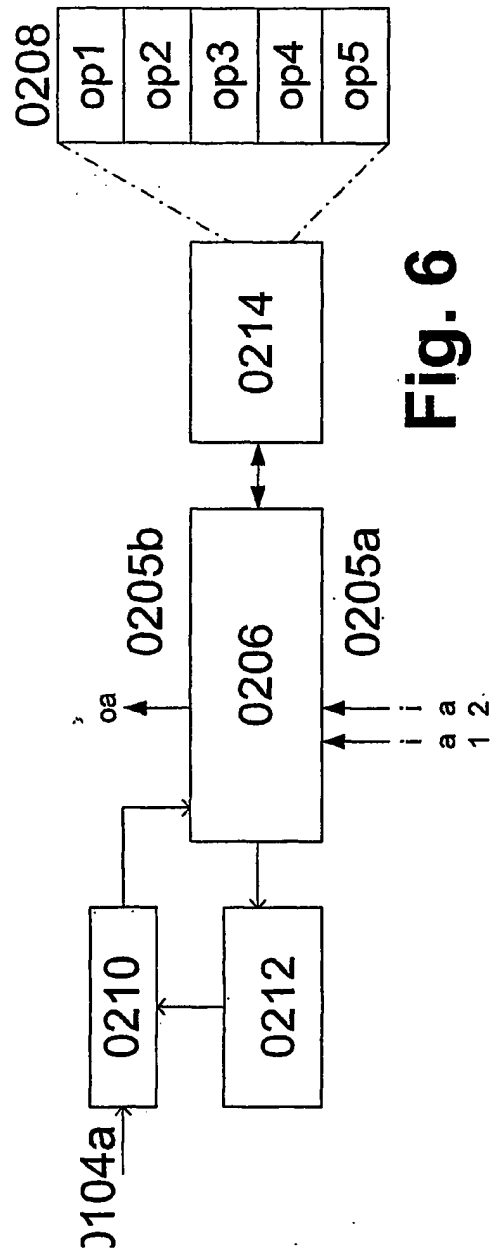


Fig. 6

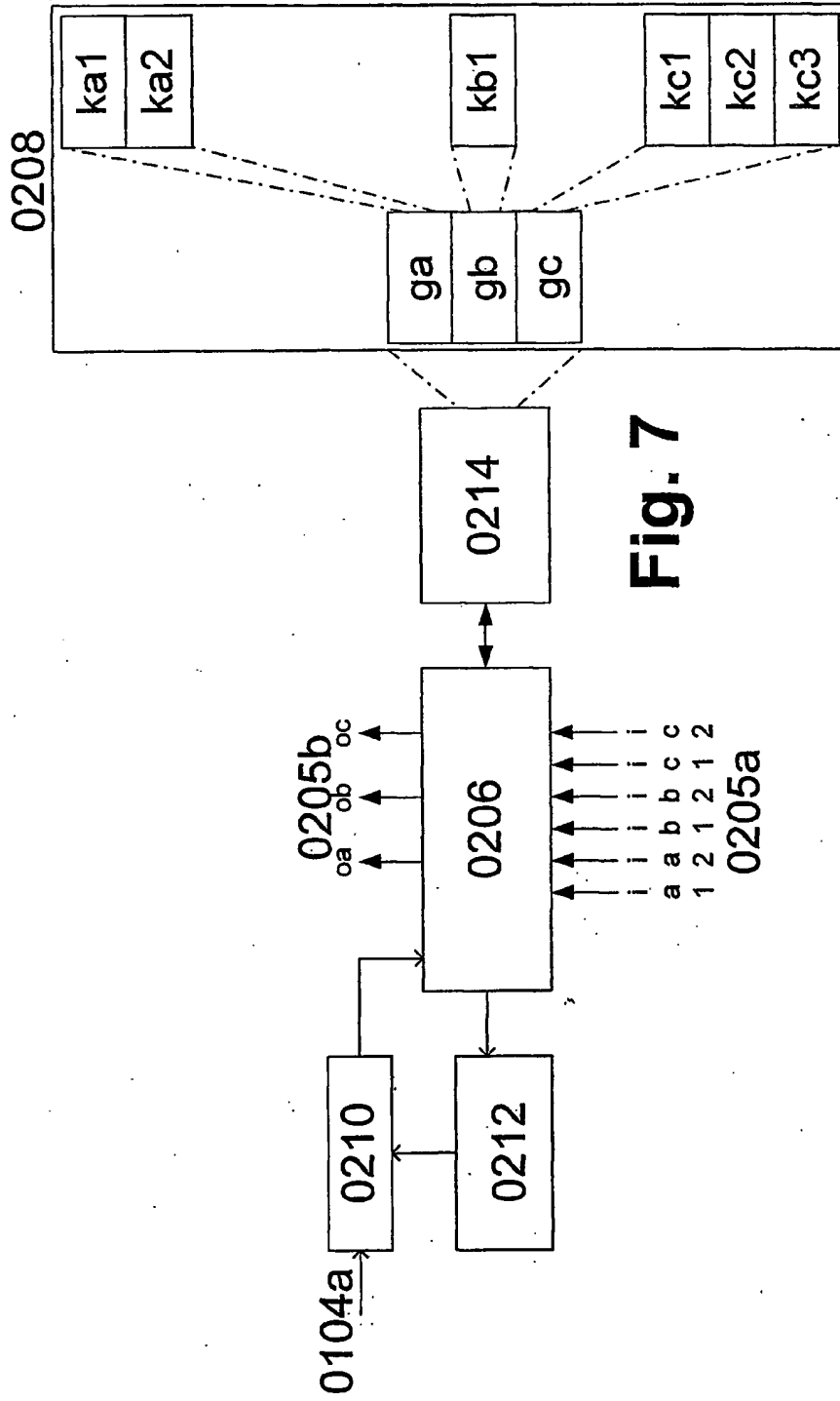


Fig. 7

0205b		oa _n	ob _n			oc _n	0704
0205a	ia _n		ib _n	ic _n			
0205b	ov	ow	oy	ox	oz	oc _n	0703
0205a	in	io	ip	ic _n	iq	ir	
0205b	oq	or	ob _n	os	ot	ou	
0205a	ii	ij	ib _n	ik	il	im	
0205b	ol	oa _n	om	on	oo	op	
0205a	ia _n	id	ie	if	ig	ih	
0205b		oc _{n-1}				oc _n	0702
0205a		ic _n			ic _{n+1}		
0205b		ob _{n-1}	ob _n				
0205a		ib _n		ib _{n+1}			
0205b	oa _{n-1}	oa _n					
0205a		ia _{n+1}					
0205b		oc _?				oc _n	0701
0205a		ic _?	ic _n	ic _?			
0205b		ob _?	ob _n	ob _?			
0205a		ib _?	ib _n	ib _?			
0205b	oa _?	oa _n	oa _?				
0205a	ia _n	ia _?					
	cycle	ka1	ka2	kb1	kc1	kc2	kc3

Fig. 7a